

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256428

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 23/13  
H01L 23/12

(21)Application number : 09-053201

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.03.1997

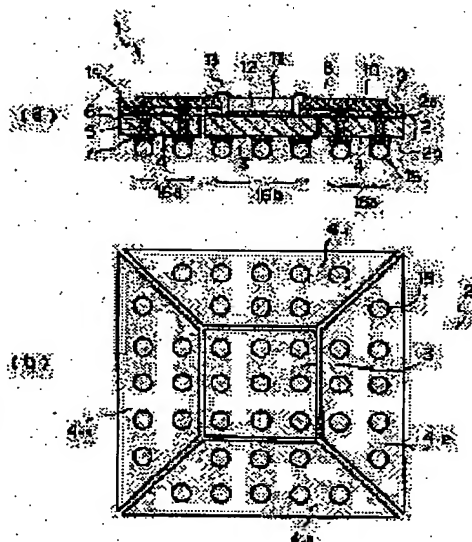
(72)Inventor : MONMA JUN  
YANO KEIICHI  
YOGI YASUSHI  
YASUMOTO YASUAKI

## (54) SEMICONDUCTOR PACKAGE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To achieve the correspondence with narrow-pitch wiring, the compact configuration of the outer shape of a package, the improvement of the reliability of a connecting part to a mounting board, the reduction of the package manufacturing cost and the like without impairing the high heat radiating characteristic by the ceramic package.

**SOLUTION:** A ceramic substrate 2 having the divided structure is bonded to a resin film 9 having a conductor layer 10 as the main body of a package. A semiconductor element 11 is mounted on the ceramic substrate 2 having the divided structure on the side of a bonding surface 2a with the resin film 9. The substrate 2 has a via hole-type inner wiring layer 5. The outer connecting terminal comprising each conductor ball 15, which is provided on the side of a lower surface 2b of the ceramic substrate 2, and the semiconductor element 11 are electrically connected through the via hole-type inner wiring layer 5 and the conductor layer 10 of the resin film 9. Or the single-plate shaped ceramic substrate, wherein a notched groove is provided on the side of the conductor-ball forming surface, is used as the main body of the package.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256428

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 23/13  
23/12

H 0 1 L 23/12

C  
L  
J

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願平9-53201

(22) 出願日 平成9年(1997) 3月7日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 門馬 旬

神奈川県横浜市鶴見区末広町2丁目4番地

株式会社東芝京浜事業所内

(72) 発明者 矢野 圭一

神奈川県横浜市鶴見区末広町2丁目4番地

株式会社東芝京浜事業所内

(72) 発明者 五代 健 靖

神奈川県横浜市鶴見区末広町2丁目4番地

株式会社東芝京浜事業所内

(74) 代理人 弁理士 須山 佐一

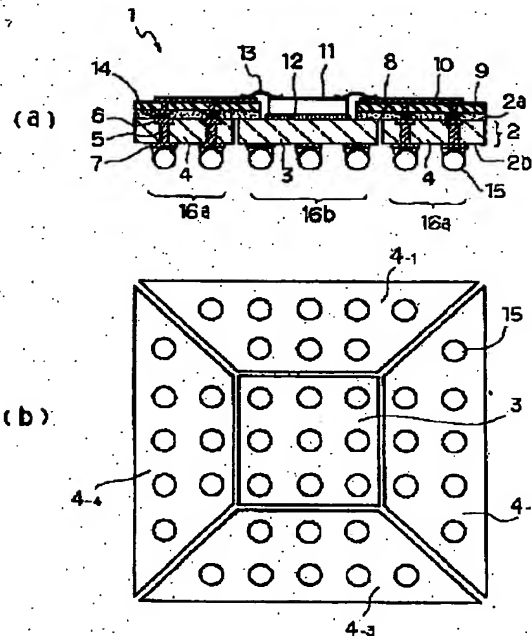
最終頁に続く

(54) 【発明の名称】 半導体パッケージ

(57) 【要約】

【課題】 セラミックスパッケージによる高放熱性特性等を損うことなく、狭ピッチ配線への対応およびパッケージ外形の小形化、実装ボードとの接続部信頼性の向上、パッケージ製造コストの低減等を図る。

【解決手段】 導体層10を有する樹脂フィルム9に、分割構造のセラミックス基板2をパッケージ本体として接合する。分割構造のセラミックス基板2は、樹脂フィルム9との接合面2a側に半導体素子11が搭載され、かつパイアホール型内部配線層5を有している。セラミックス基板2の下面2b側に設けられた導体ボール15からなる外部接続端子と半導体素子11とは、パイアホール型内部配線層5および樹脂フィルム9の導体層10を介して電氣的に接続されている。あるいは、導体ボール形成面側に切り欠き溝を設けた単板形状のセラミックス基板をパッケージ本体として用いる。



(2)

## 【特許請求の範囲】

【請求項1】 導体層を有する樹脂基材と、  
前記樹脂基材の一方の主面に複数に分割された状態で接  
合され、かつ一方の端部が前記導体層と電気的に接続さ  
れた内部配線層を有する分割構造のセラミックス基板か  
らなるパッケージ本体と、  
前記分割構造のセラミックス基板の前記樹脂基材との接  
合面側に搭載され、前記導体層と電気的に接続された半  
導体素子と、  
前記分割構造のセラミックス基板の前記樹脂基材接合面  
と反対面側に固定され、かつ前記内部配線層の他方の端  
部と電気的に接続された導体ボールからなる外部接続端  
子とを具備することを特徴とする半導体パッケージ。

【請求項2】 請求項1記載の半導体パッケージにおい  
て、  
前記セラミックス基板の前記樹脂基材接合面と反対面側  
には、前記外部接続端子としての導体ボールに加えて、  
放熱用の導体ボールが固定されていることを特徴とする  
半導体パッケージ。

【請求項3】 請求項2記載の半導体パッケージにおい  
て、  
前記分割構造のセラミックス基板は分割部分のそれぞれ  
に、前記外部接続端子としての導体ボールおよび前記放  
熱用の導体ボールのうち少なくとも1つが固定されてい  
ることを特徴とする半導体パッケージ。

【請求項4】 請求項1記載の半導体パッケージにおい  
て、  
前記樹脂基材と前記分割構造のセラミックス基板との間  
に、前記セラミックス基板の分割線に沿って、少なくと  
も2つの分割部分と接触するように伝熱用金属部が配置  
されていることを特徴とする半導体パッケージ。

【請求項5】 請求項1記載の半導体パッケージにおい  
て、  
前記分割構造のセラミックス基板は、少なくとも前記半  
導体素子が搭載された素子搭載部と、前記内部配線層が  
設けられた配線層形成部とに分割されていることを特徴  
とする半導体パッケージ。

【請求項6】 導体層を有する樹脂基材と、  
前記樹脂基材の一方の主面に接合され、かつ一方の端部  
が前記導体層と電気的に接続された内部配線層を有する  
と共に、前記樹脂基材接合面の反対面側に切り欠き溝が  
設けられたセラミックス基板からなるパッケージ本体  
と、  
前記セラミックス基板の前記樹脂基材接合面側に搭載さ  
れ、前記導体層と電気的に接続された半導体素子と、  
前記セラミックス基板の前記樹脂基材接合面と反対面側  
に固定され、かつ前記内部配線層の他方の端部と電気的  
に接続された導体ボールからなる外部接続端子とを具備  
することを特徴とする半導体パッケージ。

【請求項7】 請求項6記載の半導体パッケージにおい

て、  
前記セラミックス基板の前記樹脂基材接合面と反対面側  
には、前記外部接続端子としての導体ボールに加えて、  
放熱用の導体ボールが固定されていることを特徴とする  
半導体パッケージ。

【請求項8】 請求項1または請求項6記載の半導体パ  
ッケージにおいて、  
前記セラミックス基板の内部配線層は、ビアホール型  
の配線層により構成されていることを特徴とする半導体  
パッケージ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、高配線密度化、接  
続部の高信頼性化、高放熱性化、低コスト化等を実現し  
た半導体パッケージに関する。

## 【0002】

【従来の技術】LSI、ULSI、VLSI等の半導体  
素子が搭載されるセラミックスや樹脂等の絶縁性材料か  
らなる各種のパッケージは、半導体素子の高集積化、高  
速化、大消費電力化、大型チップ化等により、高密度  
化、高速対応化、高放熱性化の傾向にある。また、半導  
体素子の用途もワークステーション、パーソナルコンピ  
ュータ、ミニコンピュータ、大型コンピュータ等の産業  
用から、携帯用機器、プリンタ、コピー、カメラ、テレ  
ビ、ビデオ等の電子機器まで多くの範囲に広がり、半導  
体素子の性能自体も向上している。

【0003】上述したような高性能、高集積な半導体素  
子を搭載するパッケージには、具体的には半導体素子と  
多端子・狭ピッチで接続ができること、配線密度が高い  
こと、放熱性がよいこと、高速信号を扱うことができる  
こと、パッケージの入出力端子自体を多端子・狭ピッチ  
化できること等が求められている。さらに、これらの条  
件を満足する高性能なパッケージを高信頼性の下で簡易  
な工程で安価に作製する技術が求められている。

【0004】まず、パッケージと半導体素子との多端子  
・狭ピッチによる接続方法としては、ワイヤボンディン  
グ法、TAB法、フリップチップ法等が使用されてい  
る。また、このような接続技術を有効に機能させる上  
で、パッケージ側も狭ピッチ・多端子のインナーリード  
部分が必要であると共に、プリント基板等の実装ボード  
とパッケージとの接続を多端子・狭ピッチ化した上で、  
接続部の信頼性を高めることが必要になっている。ま  
た、前述したようにLSIの高速化により、パッケージ  
の電気特性も十分に考慮する必要が生じている。

【0005】このようにパッケージの多端子・狭ピッチ  
化や電気特性の向上が求められていることから、パッケ  
ージ構造は従来のピン挿入型やQFP(Quad Flat Packa  
ge)等の表面実装型からBGA(Ball Grid Array)構造  
に移行しつつある。パッケージの入出力端子として半田  
ボール等を用いたBGAパッケージは、接続距離の短縮

3

が図れ、接続部のインダクタンスによる高速信号の反射や遅延等が抑制できる等の利点を有する。また、BGAは半田ボールによる接続距離の短縮に加えて、ボール端子により狭ピッチ・多端子化が容易であり、さらにこの狭ピッチ・多端子化はパッケージサイズそのものを縮小化し、実装ボードへの実装密度の向上、配線の寄生容量、インダクタンス、抵抗等の低減による電気特性の向上、パッケージの小型化による高周波特性の改善等が期待できる。

【0006】また、放熱性に関しては、LSIの高速化等に伴って消費電力が向上し、発熱量は年々増加する傾向にあることから、パッケージを高放熱性化することが求められている。パッケージの放熱性を高めるためには、パッケージ本体としてセラミックス基材を用いることが有効である。このようにセラミックスパッケージ、特にBGA構造のセラミックスパッケージは、高放熱性と優れた電気特性を満足し、かつ多端子・狭ピッチ化が可能なパッケージであり、高速・高集積化された半導体チップ用のパッケージとして期待されている。

【0007】しかしながら、従来のセラミックス製パッケージは、パッケージ本体としてセラミックス多層配線基板を用いて、このセラミックス多層配線基板内の配線層により主として信号配線を取り回していることから、パッケージ内配線の高密度化やパッケージ外形の小形化に限界があると共に、プラスチックパッケージ等と比べて製造コストが高いというような難点を有していた。一方、プラスチックパッケージは基本的に放熱性が低いことから、パッケージの高放熱性化という点で劣っている。

【0008】また、BGA構造のセラミックスパッケージにおいては、プリント基板等の実装ボードに搭載した際に、セラミックスパッケージとプリント基板との間の熱膨張係数の差が大きいことから、接続部となる半田ボール部分の接続信頼性が低いという問題を有している。この熱膨張差はBGAパッケージをプリント基板に搭載する際のリフロー半田付け工程で熱履歴を受けることにより生じるものと、通常の使用における環境温度変化によるものがあるが、いずれもセラミックスパッケージとプリント基板との熱膨張差が大きいために、機械的強度が低い半田ボール部分に熱応力が集中して、半田ボールにクラックが生じたり、さらには半田ボールが破断する等して、接続部の信頼性を低下させている。

【0009】

【発明が解決しようとする課題】上述したように、BGA構造のセラミックスパッケージは、優れた電気特性と高放熱性とを有し、かつ外部接続端子の多端子・狭ピッチ化が可能であることから、高性能・高集積な半導体素子を搭載するパッケージとして期待されているものの、プリント基板等を実装した際に、セラミックスパッケージとプリント基板との間の熱膨張係数の差が大きいこと

(3)

4

から、接続部の信頼性が低いという問題を有している。また、狭ピッチ配線への対応やパッケージ外形の小形化等に限界があると共に、基本的にプラスチックパッケージ等と比べて製造コストが高いという難点を有している。

【0010】本発明は、このような課題に対処するべくなされたもので、セラミックスパッケージの優れた電気特性や高放熱性を損うことなく、より一層の狭ピッチ配線への対応およびパッケージ外形の小形化を図ると共に、実装ボードとの接続部信頼性を向上させ、加えて従来のセラミックスパッケージに比べて製造コストの低減を図った半導体パッケージを提供することを目的としている。

【0011】

【課題を解決するための手段】本発明における第1の半導体パッケージは、請求項1に記載したように、導体層を有する樹脂基材と、前記樹脂基材の一方の主面に複数に分割された状態で接合され、かつ一方の端部が前記導体層と電気的に接続された内部配線層を有する分割構造のセラミックス基板からなるパッケージ本体と、前記分割構造のセラミックス基板の前記樹脂基材との接合面側に搭載され、前記導体層と電気的に接続された半導体素子と、前記分割構造のセラミックス基板の前記樹脂基材接合面と反対面側に固定され、かつ前記内部配線層の他方の端部と電気的に接続された導体ボールからなる外部接続端子とを具備することを特徴としている。

【0012】上記した第1の半導体パッケージは、さらに請求項2に記載したように、前記セラミックス基板の前記樹脂基材接合面と反対面側には、前記外部接続端子としての導体ボールに加えて、放熱用の導体ボールが固定されており、請求項3に記載したように、前記分割構造のセラミックス基板は分割部分のそれぞれに、前記外部接続端子としての導体ボールおよび前記放熱用の導体ボールのうち少なくとも1つが固定されていることを特徴としている。加えて、請求項4に記載したように、前記樹脂基材と前記分割構造のセラミックス基板との間に、前記セラミックス基板の分割線に沿って、少なくとも2つの分割部分と接触するように伝熱用金属部が配置されていることを特徴としている。

【0013】また、第2の半導体パッケージは、請求項6に記載したように、導体層を有する樹脂基材と、前記樹脂基材の一方の主面に接合され、かつ一方の端部が前記導体層と電気的に接続された内部配線層を有すると共に、前記樹脂基材接合面の反対面側に切り欠き溝が設けられたセラミックス基板からなるパッケージ本体と、前記セラミックス基板の前記樹脂基材接合面側に搭載され、前記導体層と電気的に接続された半導体素子と、前記セラミックス基板の前記樹脂基材接合面と反対面側に固定され、かつ前記内部配線層の他方の端部と電気的に接続された導体ボールからなる外部接続端子とを具備す

(4)

5

ることを特徴としている。

【0014】上記した第2の半導体パッケージは、さらに請求項7に記載したように、前記セラミックス基板の前記樹脂基材接合面と反対面側には、前記外部接続端子としての導体ボールに加えて、放熱用の導体ボールが固定されていることを特徴としている。

【0015】本発明の半導体パッケージにおいては、セラミックス基板に接合した樹脂基材に、例えばパターンニングされた銅箔等からなる導体層を設けている。このような導体層で信号配線を取り回すことによって、信号配線の配線幅および配線間距離を大幅に短縮することができる。従って、パッケージ内配線の高密度化およびパッケージ外形の小形化を図ることができる。加えて、樹脂基材の導体層で信号配線を主として取り回すことによって、セラミックス基板の内部配線層を基本的にはバイアホール型配線層のみとすることができる。従って、セラミックス基板ひいては半導体パッケージの製造コストを低減することが可能となる。

【0016】その上で、第1の半導体パッケージにおいては、樹脂基材にセラミックス基板を複数に分割した状態で接合している。このような構造によれば、プリント基板等の実装ボードに半導体パッケージを実装した際に、プリント基板等との熱膨張差により生じる熱応力は、比較的軟質な樹脂基材に接合された分割構造のセラミックス基板により吸収され、導体ボールからなる外部接続端子に加わる熱応力を緩和することができる。これにより、半導体パッケージをプリント基板等の実装ボードに実装した際の接続部信頼性を大幅に高めることが可能となる。

【0017】また第2の半導体パッケージにおいては、セラミックス基板の導体ボール固定面側に切り欠き溝を設けており、この切り欠き溝により上述した熱応力は吸収され、導体ボールからなる外部接続端子に加わる熱応力を緩和することができる。従って、第1の半導体パッケージと同様に、半導体パッケージをプリント基板等の実装ボードに実装した際の接続部信頼性を大幅に高めることが可能となる。

【0018】さらに、第1および第2の半導体パッケージにおいては、上述したようにセラミックス基板に生じる熱応力が低減されることから、セラミックス基板と樹脂基材との接合信頼性も高めることができる。

【0019】本発明の半導体パッケージの放熱性に関しては、セラミックス基板に半導体素子を搭載しており、半導体素子の裏面側からセラミックス基板に直接熱を放散させることができるため、樹脂パッケージ等と比べて十分良好な放熱性を確保することができる。さらに、セラミックス基板の外部接続端子形成面側に、接続端子としての導体ボールに加えて、放熱用の導体ボールを固定することで、半導体素子で発生した熱を導体ボールを介して実装ボード側により一層良好に逃がすことが可能と

6

なる。

【0020】第1の半導体パッケージにおいては、分割構造のセラミックス基板は分割部分のそれぞれに、上述したような導体ボールを少なくとも1つ固定することによって、分割部分のそれぞれから実装ボードへの放熱を図ることができる。さらに、分割部分間の伝熱については、分割構造のセラミックス基板の分割線に沿って、少なくとも2つの分割部分と接触するように伝熱用金属部を配置することによって、分割部分間を熱的に接続することができる。従って、半導体素子で生じた熱を分割構造のセラミックス基板全体に放熱させることができる。これらによって分割構造のセラミックス基板を用いたことによる放熱性の低下を抑制することが可能となる。

【0021】

【発明の実施の形態】以下、本発明を実施するための形態について説明する。

【0022】図1は本発明の第1の半導体パッケージの一実施形態の概略構造を示す図であり、(a)はその断面図、(b)は下面図である。同図に示す半導体パッケージ1は、パッケージ本体としてセラミックス基板2を有している。このセラミックス基板2には窒化アルミニウム( $AlN$ )焼結体、窒化ケイ素( $Si_3N_4$ )焼結体、アルミナ( $Al_2O_3$ )焼結体、低温焼結ガラスセラミックス等、各種のセラミックス材料を使用することができる。

【0023】これらのうち、特に $AlN$ 焼結体は熱伝導率が大いことから、半導体パッケージ1の高放熱性化を図る上で好ましい材料である。セラミックス基板2に使用する $AlN$ 焼結体としては、一般的に基板材料として使用されている熱伝導率が $80W/mK$ 以上のものが好ましく用いられる。

【0024】また、 $Si_3N_4$ 焼結体は高強度特性と比較的良好な熱伝導性とを合せ持つことから、半導体パッケージの高信頼性化と高放熱性化を図る上で好ましい材料である。セラミックス基板2に使用する $Si_3N_4$ 焼結体としては、特に $50W/mK$ 以上の熱伝導率を有するものが好ましい。 $Si_3N_4$ 焼結体は高強度・高靱性のセラミックス焼結体としてよく知られており、さらに例えば焼結体原料となる窒化ケイ素粉末の微粒子化、高純度化、焼結助剤組成等の組成制御等を行うことによって、本来の高強度・高靱性という機械的特性を損うことなく、 $50W/mK$ 以上というように比較的熱伝導性に優れた $Si_3N_4$ 焼結体が得られる。

【0025】なお、他のセラミックス材料についても、搭載する半導体素子の種類や用途等に応じて適宜使用し得るものである。

【0026】パッケージ本体を構成するセラミックス基板2は、複数に分割された構造を有している。この分割構造のセラミックス基板2は、まず後述する半導体素子11が搭載される部分(素子搭載用基板部)3と、内部

(5)

7  
配線層5が設けられる部分(配線層形成用基板部)4とに分割されており、配線層形成用基板部4はさらに複数に分割、すなわち各単体基板部(各分割部分)4-1、4-2、4-3、4-4に分割されている。

【0027】具体的な分割形状は、図1(b)に示したように、セラミックス基板2の全体形状の中央付近を素子搭載用基板部3とし、その周囲に配線層形成用基板部4が配置されている。配線層形成用基板部4はセラミックス基板2の全体形状の対角線に沿って、4つの基板部4-1、4-2、4-3、4-4にさらに分割されている。

【0028】セラミックス基板2の分割形状は、図1に示した形状に限られるものではなく、例えば図2に示すように、素子搭載用基板部3の周囲に配置する配線層形成用基板部4を、セラミックス基板2の全体形状の中心線に沿って4つの基板部4-1、4-2、4-3、4-4に分割する等、種々の分割形状を採用することができる。また、配線層形成用基板部4の分割数は4つに限れるものではなく、配線層形成用基板部4を2つに分割したり、あるいはさらに多数に分割する等、種々の分割数を採用することができる。

【0029】ただし、半導体素子11からセラミックス基板2への放熱効率の低下を防止する上で、半導体素子11が搭載される部分は1つの分割部分(素子搭載用基板部3)で構成することが好ましい。従って、素子搭載用基板部3に内部配線層を設けることも可能であるが、セラミックス基板2は少なくとも素子搭載用基板部3と配線層形成用基板部4とに分割することが好ましい。

【0030】上述した分割構造を有するセラミックス基板2のうち、配線層形成用基板部4にはその内部にパイアホール型の内部配線層5が設けられている。このパイアホール型内部配線層5の両端には、それぞれランド6、7が設けられている。ここで、内部配線層としてはパイアホールのみに限らず、印刷配線層等を併用することも可能であるが、本発明の半導体パッケージにおいては後述する樹脂基材9に設けた導体層10で信号配線を取り回すことができるため、セラミックス基板2の内部配線層はパイアホール型内部配線層5のみとすることが好ましい。これにより、パッケージ本体としてのセラミックス基板2の製造コストや製造工数を大幅に低減することができる。

【0031】分割構造のセラミックス基板2は、まずセラミックスグリーンシートにパイアホール型内部配線層5となるスルーホールを形成し、このスルーホール内にタングステンペースト等の導体ペーストを充填すると共に、ランド6、7となる印刷層を形成する。複数枚のセラミックスグリーンシートを使用した場合にはそれらを積層、圧着する。次いで、セラミックスグリーンシートに分割線に沿ってスクライブラインを入れた後、セラミックス材料に応じた雰囲気中で焼成する。そして、焼成後にスクライブラインに沿ってセラミックス基板を分割

8  
することによって、パイアホール型内部配線層5およびランド6、7等を有し、さらに所定のパッケージ形状を有する分割構造のセラミックス基板2が得られる。

【0032】上述した分割構造のセラミックス基板2は、その上面2a側に接着剤層8を介して接合された樹脂フィルム9により一体化されており、半導体パッケージ1としての全体形状が保たれている。言い換えると、樹脂フィルム9を接合した構造としたことによって、セラミックス基板2の分割接合が可能とされている。

10  
【0033】樹脂フィルム9には導体層10が設けられており、この導体層10は分割構造のセラミックス基板2の配線層形成用基板部4に設けられたパイアホール型内部配線層5(具体的には上面側ランド6)と電気的に接続されている。ここで、樹脂フィルム9としては、液晶ポリマー、ポリイミド樹脂、ガラスエポキシ樹脂等の各種樹脂からなる厚さ20~100 $\mu$ m程度のフィルムを使用することができる。また、接着剤層8には、熱硬化性樹脂シート、熱硬化性樹脂ペースト、エポキシ樹脂ペースト、ポリイミド樹脂ペースト等を使用することができる。

20  
【0034】また、分割構造のセラミックス基板2の上面2a側、具体的には素子搭載用基板部3の上面側には、半導体素子11がろう材、半田、ガラス系接着剤等の接合材層12を介して接合搭載されている。半導体素子11の動作に伴って生じる熱は、半導体素子11の裏面から接合材層12を介して、セラミックス基板2に伝わる構造となっている。半導体素子11の電極パッドと樹脂フィルム9の導体層10(具体的には後述する上側導体層10a)とは、ボンディングワイヤ13を介して電気的に接続されている。すなわち、樹脂フィルム9に設けられた導体層10は、さらにボンディングワイヤ13を介して、配線層形成用基板部4に設けられたパイアホール型内部配線層5(上面側ランド6)と半導体素子11とを電気的に接続している。

30  
【0035】この実施形態における導体層10は、図3に拡大して示すように、具体的には樹脂フィルム9の上面側に形成された上側導体層10aと、樹脂フィルム9の下面側に形成された下側導体層10bと、これらの間を電気的に接続する内部導体層10cとを有している。上側導体層10aおよび下側導体層10bは、例えば銅箔のような厚さ100 $\mu$ m以下程度の金属箔からなるものであって、所望の配線形状に応じてパターンニングされており、半導体素子11の信号配線を主として取り回している。この際、信号配線の取り回しは上側導体層10aと下側導体層10bの双方で行ってもよいし、また下側導体層10bはランドの形成のみとしてもよい。

40  
【0036】下側導体層10b上(ランド上)には、セラミックス基板2の上面側ランド6の位置に対応させて、例えばAgエポキシ系ペースト、Auエポキシ系ペースト、Agポリイミド系ペースト等により接続用突起

50



(6)

9

14が形成されている。接続用突起14は、Auボール、Pb-Sn系共晶半田ボール、In系半田ボール等を接合して形成することもできる。なお、セラミックス基板2の上面側ランド6上に、同様な接続用突起を形成しておいてもよい。そして、樹脂フィルム9の導体層10とセラミックス基板2の上面側ランド6とは、樹脂フィルム9側の接続用突起14を上面側ランド6に突き当て、これを熱圧着する等によって電氣的に接続されている。樹脂フィルム9と分割構造のセラミックス基板2との機械的な接合は、基本的には接着剤層8が担っている。

【0037】上述した導体層10および接続用突起14を有する樹脂フィルム9は、例えば以下のようにして作製することができる。まず厚さ50 $\mu$ m程度の銅箔を上側導体層10aの形成材料として用意し、その表面にセラミックス基板2の上面側ランド6の位置に対応させて、銀等により内部導体層10cとなる例えば高さ20 $\mu$ m程度の突起を形成する。この突起を形成した銅箔と、例えば液晶ポリマーからなる厚さ20~100 $\mu$ m程度の樹脂フィルム9と、さらに下側導体層10bとなる同様な厚さの銅箔とを重ね合わせ、突起の先端が樹脂フィルム9を突き破って下側導体層10bとなる銅箔と電氣的に接続するように熱圧着する。熱圧着は銅箔と液晶ポリマーフィルム等との密着強度が保たれるような条件下で実施する。

【0038】そして、両面の銅箔をそれぞれ所望の配線形状となるようにエッチングし、上側導体層10aには所望の配線パターンを、また下側導体層10bには少なくともランドを形成する。この後、下側導体層10bによるランド上に、上述したような接続用突起14を形成することによって、上述した上側導体層10a、下側導体層10bおよび内部導体層10cを有する導体層10と接続用突起14とが設けられた樹脂フィルム9が得られる。

【0039】上記したような導体層10および接続用突起14を有する樹脂フィルム9と分割構造のセラミックス基板2との接合は、例えばこれらの間に電氣的な接続部分を打ち抜いた接着剤シートを介在させたり、あるいは樹脂フィルム9に接着剤を塗布した後、上述したような方法で所定のパッケージ形状に分割形成したセラミックス基板2を再度組み合わせ、樹脂フィルム9と位置合わせしつつ積層する。この状態で接着剤フィルムや接着剤の塗布層が接着する温度で熱をかけつつ、電氣的な接続が実現する程度の圧力（例えば30kg/cm<sup>2</sup>程度）を加えることによって、樹脂フィルム9と分割構造のセラミックス基板2とを電氣的に接続しつつ機械的に接合することができる。

【0040】なお、樹脂フィルム9と分割構造のセラミックス基板2とを接合した後、セラミックス基板2の各分割部分3、4-1、4-2、4-3、4-4間は、分離した状

10

態のままであってもよいが、熱応力の吸収効果を損わない範囲で、例えば接着剤樹脂等を充填して緩やかに接続してもよい。

【0041】上述した分割構造のセラミックス基板2の下面2b側には、例えばPb-Sn系半田ボールやIn系半田ボールのような導体ボール15を下面側ランド7上に接合して構成したボール端子16が設けられている。このように、半導体パッケージ1はBGA構造のパッケージを構成している。なお、導体ボール15には金属ボールや金属コーティング樹脂ボール等、少なくとも表面部が導電性を有する各種の導体ボールを使用することができる。

【0042】ボール端子16は主に外部接続端子としての機能を有するものであり、この外部接続端子としてのボール端子16aは、パイアホール型内部配線層5と電氣的に接続された下面側ランド7上に接合形成されている。ただし、一部はパイアホール型内部配線層5の位置に関係なく形成されている。この電氣的な接続関係を有しないボール端子16bは、放熱用のダミーボールいわゆるサーマルボールであり、半導体パッケージ1を実装するプリント基板等の実装ボードとの接合面積の拡大に寄与するものである。

【0043】このように、分割構造のセラミックス基板2の下面2b側に、外部接続端子としてのボール端子16aの配置等に影響を及ぼさない範囲で、サーマルボールとしてのボール端子16bを形成することによって、セラミックス基板2から実装ボードへの放熱面積を増大させることができる。これによって、半導体パッケージ1の放熱性をより向上させることができる。

【0044】ここで、この実施形態の半導体パッケージ1においては、分割構造のセラミックス基板2のうち素子搭載用基板部3にはサーマルボールとしてのボール端子16bを、また配線層形成用基板部4には外部接続端子としてのボール端子16aを形成している。このように、分割構造のセラミックス基板2の各分割部分3、4-1、4-2、4-3、4-4には、サーマルボールとしてのボール端子16bおよび外部接続端子としてのボール端子16aのうち少なくとも一方、言い換えると少なくとも1つの導体ボール15を接続固定することが好ましい。これによって、セラミックス基板2の各分割部分3、4-1、4-2、4-3、4-4のそれぞれから実装ボードへの放熱を図ることができる。

【0045】ボール端子16は、例えば下面側ランド7の表面にNi/Auメッキ等を施した後、各下面側ランド7上にSn-Pb共晶半田ペースト等を印刷し、この半田ペースト上に治具を用いてSn-Pb共晶半田ボール（例えば95%Pb共晶半田ボール）等からなる導体ボール15を載せ、半田ペーストを溶融させて接合することにより形成することができる。

【0046】半導体パッケージ1は、上述したようにB



11

GA構造のパッケージを構成するものである。このような半導体パッケージ1は、例えば多層プリント基板等の実装ボード上に実装される。この際、半導体パッケージ1の外部接続端子としてのボール端子16aは実装ボードの配線層と電気的に接続され、またサーマルボールとしてのボール端子16bは実装ボードに接続固定されて、半導体実装部品が構成される。

【0047】この実施形態の半導体パッケージ1においては、樹脂フィルム9に設けた導体層10で主に信号配線を取り回している。このような導体層10には上述したように、銅箔等の厚さが100 $\mu$ m以下というような金属箔を使用することができるため、これをエッチングしてパターンニングすることにより、例えば配線幅が30 $\mu$ m、配線間距離が20 $\mu$ mというような高密度配線を実現することができる。従って、入出力数の多い半導体素子11であっても信号配線を容易に取り回すことができるだけでなく、パッケージサイズそのものを小形化することが可能となる。すなわち、パッケージ内配線の高密度化およびそれに基くパッケージサイズの小型化を達成することができる。また、半導体素子11とパッケージ側のインナーリード部とを狭ピッチで接続することが可能となる。

【0048】また、信号配線は基本的には樹脂フィルム9の導体層10で取り回しているため、セラミックス基板2の内部配線層をバイアホール型内部配線層5のみとすることができる。これにより、内部に複雑な多層配線を形成していた従来のセラミックス多層配線基板に比べて、セラミックス基板2自体の製造コストおよび製造工数を大幅に低減することができ、ひいては半導体パッケージ1の製造コストを低減することが可能となる。

【0049】この実施形態の半導体パッケージ1は、分割構造のセラミックス基板2を用いて、このセラミックス基板2の各分割部分3、4-1、4-2、4-3、4-4を樹脂フィルム9に接合することにより一体化している。このような構造によれば、プリント基板等の実装ボードに半導体パッケージ1を実装した際に、セラミックス基板2とプリント基板等との熱膨張差により生じる熱応力は、比較的軟質な樹脂フィルム9に接合された分割構造のセラミックス基板2により吸収される。すなわち、分割構造のセラミックス基板2が応力を緩和する。従って、導体ボール15からなるボール端子16に加わる熱応力を緩和することができる。これにより、半導体パッケージ1をプリント基板等の実装ボードに実装した際の接続部信頼性を大幅に高めることが可能となる。

【0050】加えて、セラミックス基板2に生じる熱応力が低減されることから、セラミックス基板2と樹脂フィルム9との接合信頼性も高めることができる。また、樹脂フィルム9とセラミックス基板2との接続は、接着剤層8および接続用突起14を利用して実施しているため、機械的な接合強度を確保した上で、電気的な接続信

(7)

12

頼性を十分に得ることができる。

【0051】半導体パッケージ1の放熱性に関しては、半導体素子11を接合材層12を介してセラミックス基板2の素子搭載用基板部3上に接合搭載しており、加えてこの素子搭載用基板部3にはサーマルボールとしてのボール端子16bを設けていることから、半導体素子11の動作に伴って生じた熱をその裏面からセラミックス基板2（素子搭載用基板部3）に分散させることができ、さらにはボール端子16bを介して実装ボード側に放熱することができる。

【0052】すなわち、半導体素子11で発生した熱は概して、半導体素子11と接しているパッケージ本体へと分散されて放熱される。この際、パッケージ本体の熱伝導率により放熱性が異なる。例えば、パッケージ本体が樹脂からなる場合、例えばポリイミド樹脂の熱伝導率は0.12~0.2W/mKであり、半導体素子を構成しているシリコンの熱伝導率よりかなり劣ることもあって、半導体素子で発生した熱のポリイミド樹脂からの放熱は期待できず、半導体素子に熱がこもることになる。このため、熱により半導体素子が誤動作するおそれ大きい。

【0053】一方、この実施形態の半導体パッケージ1では、上記したように半導体素子11を接合材層12を介してセラミックス基板2に接合搭載しており、このセラミックス基板2の構成材料の一つとして挙げられるAlN焼結体の場合、例えば170W/mKと樹脂の1000倍以上の熱伝導率を実現できることから、半導体素子11で発生した熱をパッケージ本体としてのセラミックス基板2に良好に分散させることができる。また、セラミックス基板2からは上述したように導体ボール15を介して実装ボードへの放熱が期待できる。従って、半導体素子11で発生した熱をセラミックス基板2、具体的には素子搭載用基板部3を介して良好に放熱することができ、半導体素子11の誤動作等を防止することが可能となる。

【0054】ここで、図1に示した半導体パッケージ1においては、セラミックス基板2の各分割部分、すなわち素子搭載用基板部3および配線層形成用基板部4の各単体基板部4-1、4-2、4-3、4-4は、樹脂フィルム9で一体化されているだけで、各基板部間は樹脂フィルム9を介して熱的に接続されているのみである。そこで、図4および図5に示すように、樹脂フィルム9の下面側に予めセラミックス基板2の分割線に沿って伝熱用金属部17を配置しておき、この伝熱用金属部17を少なくとも2つの分割部分と接触させることによって、セラミックス基板2の各分割部分間を熱的に接続することができる。伝熱用金属部17は導体層10と同様に、銅箔等で形成することができる。

【0055】このように、セラミックス基板2の各分割部分間を伝熱用金属部17を介して熱的に接続することによって、半導体素子11で生じた熱を分割構造のセラミックス基板2全体に分散させることができる。さら

(8)

13

に、セラミックス基板2の各分割部分には少なくとも1つの導体ボール15を接続固定しているため、分割部分のそれぞれから実装ボードへの放熱を図ることができる。これらによって、分割構造のセラミックス基板2を用いたことによる放熱性の低下を抑制することが可能となる。

【0056】この実施形態のBGA構造の半導体パッケージ1は、セラミックス基板2による高放熱性特性を損うことなく、高配線密度化、接続部の高信頼性化、低コスト化等を実現したものである。また、実際に分割構造のA1N基板を用いて作製したBGA構造の半導体パッケージ1をガラスエポキシ基板からなる実装ボードに共晶半田ペーストを用いて実装したところ、電気的な問題は何等生じなかった。また、熱抵抗測定用の発熱素子を搭載して熱抵抗を測定したところ、4K/Wと良好な熱特性が得られた。これからA1N基板全体を通じて実装ボードへの放熱が効果的に行われていることが確認された。さらに、実装信頼性について温度差160Kの加熱冷却試験を行ったところ、700サイクルを超える加熱冷却試験後においてもボール端子16の切断は検出されなかった。

【0057】なお、上記実施形態では樹脂フィルム9の両面に導体層10a、10bを設けて、下側導体層10bに接続用突起14を形成した場合について説明したが、例えば内部導体層10cが樹脂フィルムを突き破って、その先端が樹脂フィルムの反対面側に突出するような構造とすることによって、内部導体層と接続用突起とを兼用することができる。また、樹脂基材としては前述した樹脂フィルムに限らず、銅張り樹脂基板等を使用することも可能であるが、配線密度の高密度化という点においては樹脂フィルムに例えば厚さ100 $\mu$ m以下というような金属箔を熱圧着等で張り付けたものを使用することが好ましい。

【0058】次に、本発明の第1の半導体パッケージの他の実施形態について、図6を参照して説明する。

【0059】図6に示す半導体パッケージ18は、フリップチップ構造の半導体素子19を搭載対象としたパッケージであり、前述した実施形態と同様な分割構造のセラミックス基板2の素子搭載用基板部3の上面側には、半導体素子19を収容するキャビティ20が形成されている。そして、このキャビティ20内にはフリップチップ構造の半導体素子19が、その裏面がキャビティ20の底面すなわちセラミックス基板2と直接接するように収容されている。

【0060】このように、この実施形態の半導体パッケージ18はいわゆるキャビティアップ構造を有しており、半導体素子19の動作に伴って生じる熱はその裏面からセラミックス基板2に直接伝わる構造となっている。半導体素子19の電極パッド上には、Auボール等からなるパンプ端子(図示せず)が形成されており、これによりフリップチップ実装が可能とされている。

14

【0061】半導体素子19はキャビティ20内の底面に、ろう材、半田、ガラス系接着剤等の接合材を用いて接合してもよいが、単にセラミックス基板2と接触しているだけであっても、半導体素子19からセラミックス基板2への放熱性を十分に確保することができる。この実施形態では、半導体素子19はキャビティ20内に収容されているだけである。

【0062】上述した分割構造のセラミックス基板2のキャビティ形成面2a、すなわち半導体素子19の搭載面には、前述した実施形態と同様に、導体層10を有する樹脂フィルム9が接着剤層8を介して接合固定されている。この樹脂フィルム9に設けられた導体層10のうち、下側導体層10bはパイアホール型内部配線層5(上面側ランド6)の形成位置に加えて、半導体素子19のパンプ端子の位置に応じて設けられていると共に、接続用突起14が形成されており、半導体素子19と樹脂フィルム9についても同様に電気的および機械的に接続されている。なお、半導体素子19と樹脂フィルム9との接続には、異方性導電シートや異方性導電ペースト等を使用することも可能である。

【0063】分割構造のセラミックス基板2の各分割部分間は、図4および図5に示した構造と同様に、セラミックス基板2の分割線に沿って、樹脂フィルム9の下面側に配置された伝熱用金属部17により熱的に接続されている。また、分割構造のセラミックス基板2の下面2a側には、前述した実施形態と同様に、導体ボール15が接続固定されており、外部接続端子としてのボール端子16aとサーマルボールとしてのボール端子16bを構成している。

【0064】この実施形態の半導体パッケージ18においては、まず半導体素子19をキャビティ20内に収容することによって、フリップチップ構造の半導体素子19の電極パッドへの電気的な接続を容易にした上で、半導体素子19とセラミックス基板2とが直接接触した状態を実現している。これにより、半導体素子19の動作に伴って生じた熱を、その裏面側からセラミックス基板2に直接分散させることができる。

【0065】また、分割構造のセラミックス基板2からは表面放熱、さらには導体ボール15を介して実装ボードへの放熱が期待できる。従って、半導体素子19で発生した熱をセラミックス基板2を介して良好に放熱することができ、半導体素子19の誤動作等を防止することが可能となる。すなわち、フリップチップ対応の半導体パッケージ19の高放熱性化を達成することができる。

【0066】フリップチップ構造の半導体素子19とパッケージ本体との電気的な接続は、半導体素子19をセラミックス基板2のキャビティ20内に収容した上で、同一面に接合した樹脂フィルム9に設けた導体層10により行っているため、半導体素子19からの高放熱性を満足させた上で、フリップチップ構造の半導体素子19

15

どの電気的な接続を良好に実施することができる。

【0067】この実施形態の半導体パッケージ19における他の効果例えば高配線密度化、接続部の高信頼性化、低コスト化等については、前述した実施形態と同様に得ることができるものである。

【0068】なお、上記した実施形態ではワイヤボンディング実装およびフリップチップ実装の半導体素子を搭載する場合について説明したが、本発明の第1の半導体パッケージはこれらに限られるものではなく、TAB実装等の各種形式の半導体素子を実装することが可能である。

【0069】次に、本発明の第2の半導体パッケージの実施形態について、図7を参照して説明する。

【0070】図7に示す半導体パッケージ21は、前述した実施形態と同様なセラミックス材料からなる単板状のセラミックス基板22を、パッケージ本体として有している。このセラミックス基板22は、前述した実施形態と同様に、パイアホール型内部配線層5等を有していると共に、その上面22a側には導体層10を有する樹脂フィルム9が機械的および電気的に接続され、さらにこの導体層10とボンディングワイヤ13を介して電気的に接続された半導体素子11が搭載されている。また、セラミックス基板22の下面22b側には、導体ボール15が接続固定されており、外部接続端子としてのボール端子16aとサーマルボールとしてのボール端子16bを構成している。

【0071】そして、上述したセラミックス基板22の下面22b側には、前述した実施形態のセラミックス基板2の分割線と同様な位置に、応力緩和用の切り欠き溝23が設けられている。この切り欠き溝23の形状は、断面V字型、断面コ字型、断面U字型等、種々の形状を採用することができる。この実施形態では断面V字型の切り欠き溝23を適用している。このような切り欠き溝23は、予めセラミックスグリーンシートの段階で溝を形成しておくことによって、容易に得ることができる。

【0072】また、切り欠き溝23の深さは、セラミックス基板22の機械的な強度をあまり低下させない程度に適宜設定され、例えば0.5mm以下とすることが好ましい。ただし、半導体パッケージ21においては、セラミックス基板22に樹脂フィルム9を接合しており、この樹脂フィルム9が強度補強材的な役割を果たすことから、切り欠き溝23の入れたセラミックス基板22であってもパッケージ強度の低下を抑制することができる。

【0073】なお、切り欠き溝23の形成位置は、前述した実施形態のセラミックス基板2の分割線と同様な位置に限らず、セラミックス基板22に加わる応力の方向を横切るような位置であれば種々の形成位置を適用することができる。例えば、セラミックス基板22の対角線や中心線に沿ってのみ切り欠き溝23を形成したり、セラミックス基板22の内側に外周線に沿って切り欠き溝

16

23を形成する等、種々の位置に形成した切り欠き溝23を適用することができる。

【0074】この実施形態の半導体パッケージ18においては、樹脂フィルム9に設けた導体層10で主に信号配線を取り回しているため、前述した第1の半導体パッケージの実施形態と同様に高密度配線を実現することができ、これによりパッケージ内配線の高密度化およびそれに基くパッケージサイズの小型化等を達成することが可能となる。また、セラミックス基板22の内部配線層をパイアホール型内部配線層5のみとすることができることから、セラミックス基板22自体の製造コストおよび製造工数を大幅に低減することができ、ひいては半導体パッケージ21の製造コストを低減することが可能となる。

【0075】また、半導体パッケージ21の放熱性に関しては、半導体素子11を接合材層12を介してセラミックス基板22上に接合搭載しており、加えてセラミックス基板22にはサーマルボールとしてのボール端子16bを設けていることから、半導体素子11の動作に伴って生じた熱をその裏面からセラミックス基板22に分散させることができ、さらにはボール端子16bを介して実装ボード側に放熱することができる。

【0076】その上で、この実施形態の半導体パッケージ21は、セラミックス基板22のボール端子形成面側に切り欠き溝23を設けているため、プリント基板等の実装ボードに半導体パッケージ21を実装した際に、セラミックス基板22とプリント基板等との熱膨張差により生じる熱応力を切り欠き溝23により吸収することができる。従って、導体ボール15からなるボール端子16に加わる熱応力を緩和することができ、半導体パッケージ1をプリント基板等の実装ボードに実装した際の接続部信頼性を大幅に高めることが可能となる。また、セラミックス基板22と樹脂フィルム9との接合信頼性も高めることができる。

【0077】なお、上記した実施形態ではワイヤボンディング実装の半導体素子を搭載する場合について説明したが、本発明の第2の半導体パッケージは前述した第1の半導体パッケージと同様に、図8に示すようにフリップチップ実装の半導体素子19を搭載する半導体パッケージに適用することも可能である。図8に示す半導体パッケージ24は、パッケージ本体にボール端子形成面側に切り欠き溝23を設けたセラミックス基板22を使用している以外は、図6に示した半導体パッケージ18と同様な構成を有している。さらに、第2の半導体パッケージはTAB実装等の各種形式の半導体素子を実装することが可能である。

【0078】また、本発明の半導体パッケージの機械的強度を強化するための構造として、図9に示す構造が挙げられる。図9は第1の半導体パッケージの分離構造のセラミックス基板2について示すものであり、各分割部

(9)

10

20

30

40

50

(10)

17

分3、4-1、4-2、4-3、4-4間の間隙に、お互いを接合する接着剤樹脂25が充填されている。さらに、セラミックス基板2の周囲に樹脂や金属等からなる枠26が設けられている。このような構造によれば、分割したセラミックス基板2の相互の位置ずれを防止することができ、かつ全体の強度の向上を図ることができる。この効果は枠26のみ設けた場合でも得ることができる。

【0079】

【発明の効果】以上説明したように、本発明の半導体パッケージによれば、セラミックス基板を用いた際の高放熱性特性等を損うことなく、より一層の狭ピッチ配線への対応およびパッケージ外形の小形化を図ることが可能であると共に、実装ボード等との接続部信頼性を向上させることができ、さらには製造コストの低減等を実現することが可能となる。このような半導体パッケージの工業的価値は極めて大である。

【図面の簡単な説明】

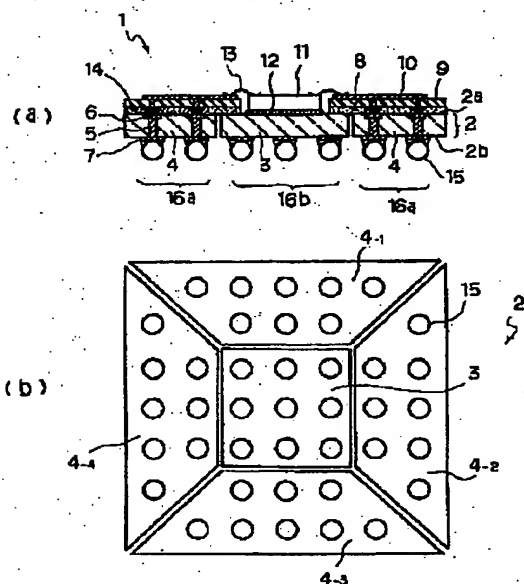
【図1】 本発明の第1の半導体パッケージの一実施形態の概略構造を示す図であって、(a)はその断面図、(b)は下面図である。

【図2】 図1に示す半導体パッケージの分割構造に関する変形例を示す下面図である。

【図3】 図1に示す半導体パッケージの要部拡大断面図である。

【図4】 図1に示す半導体パッケージの接続部分に関する変形例を示す要部拡大断面図である。

【図1】



18

【図5】 図4に示す半導体パッケージの下面図である。

【図6】 本発明の第1の半導体パッケージの他の実施形態の概略構造を示す断面図である。

【図7】 本発明の第2の半導体パッケージの一実施形態の概略構造を示す図であって、(a)はその断面図、(b)は下面図である。

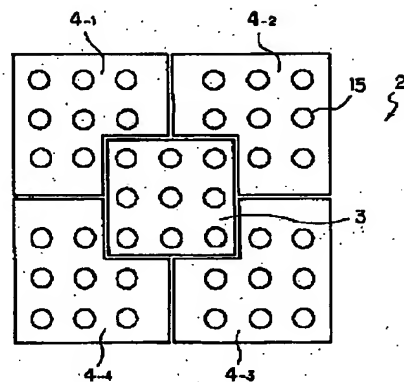
【図8】 本発明の第2の半導体パッケージの他の実施形態の概略構造を示す断面図である。

【図9】 本発明の第1の半導体パッケージのさらに他の実施形態の要部構造を示す下面図である。

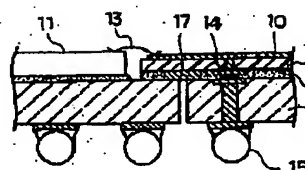
【符号の説明】

- 1、18、21、24……BGA構造の半導体パッケージ
- 2……分割構造のセラミックス基板
- 3……素子搭載用基板部
- 4……配線層形成用基板部
- 5……パイアホール型内部配線層
- 9……樹脂フィルム
- 10……導体層
- 11……半導体素子
- 15……導体ボール
- 17……伝熱用金属部
- 19……フリップチップ構造の半導体素子
- 22……セラミックス基板
- 23……切り欠き溝

【図2】

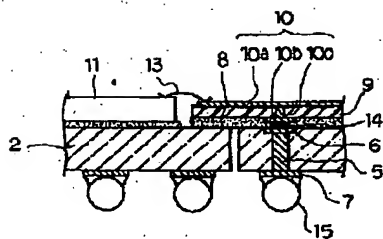


【図4】

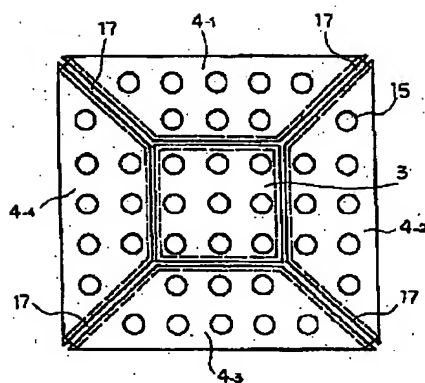


(11)

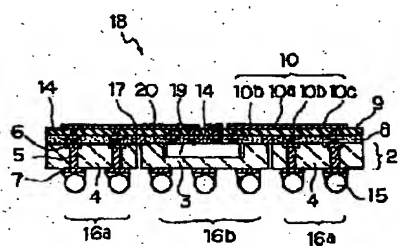
【図3】



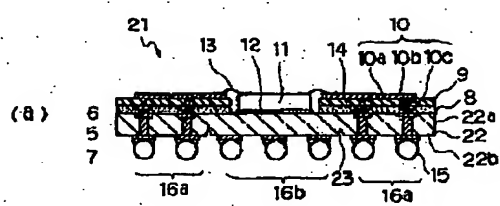
【図5】



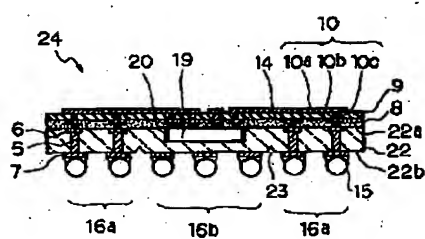
【図6】



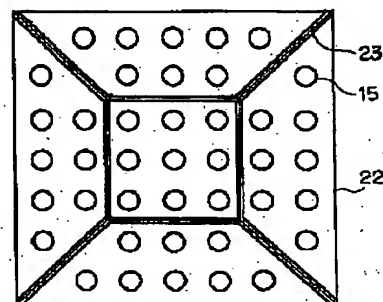
【図7】



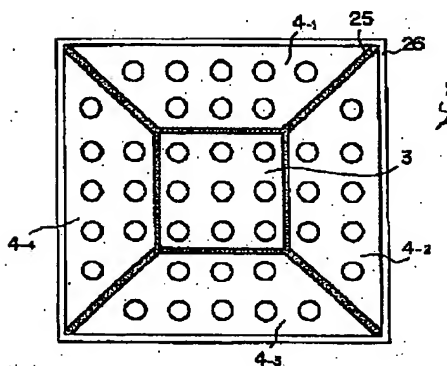
【図8】



(b)



【図9】



(12)

フロントページの続き

(72) 発明者 安本 恭章  
神奈川県横浜市鶴見区末広町2丁目4番地  
株式会社東芝京浜事業所内